



(19) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

(12) Offenlegungsschrift
(10) DE 198 45 409 A 1

(51) Int. Cl. 7:
G 01 R 31/3185

DE 198 45 409 A 1

(21) Aktenzeichen: 198 45 409.0
(22) Anmeldetag: 2. 10. 1998
(43) Offenlegungstag: 20. 4. 2000

(71) Anmelder:
International Business Machines Corp., Armonk,
N.Y., US

(74) Vertreter:
Teufel, F., Dipl.-Phys., Pat.-Anw., 70569 Stuttgart

(72) Erfinder:
Appinger, Jörg, 71134 Aidlingen, DE; Neuhaeusler,
Franz, Dipl.-Ing. (FH), 89264 Weißenhorn, DE; Rost,
Peter, Dipl.-Ing. (FH), 75365 Calw, DE; Torreiter,
Otto, Dipl.-Ing. (FH), 70771
Leinfelden-Echterdingen, DE

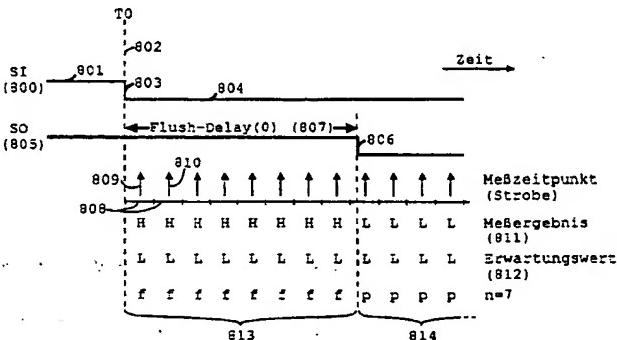
(56) Entgegenhaltungen:
US 57 96 751 A
US 52 06 861 A
NAGLE, H.T., ROY, S.C., HAEKINGS, C.F.,
MCNAMER, M.G., FRITZEMEIER, R.R.: Design for
Testability and Built-In Self Test, A Review
In: IEEE Transactions on Industrial Electronics,
May 1989, Vol. 36, No. 2, S. 129-140;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Schnelle Bestimmung des Flush-Delays bei Chips mit LSSD-Design

(57) Es wird eine neuartige Methode zur Messung des Flush-Delays bei Chips im LSSD Design beschrieben. Beim Flush-Delay handelt es sich um eine Meßgröße für die Schaltgeschwindigkeit eines Chips. Zuerst werden die Takteingänge aller Flipflops eines Scanpfades aktiviert, um die Flipflops auf Durchgang zu schalten. Anschließend wird an den Scan-Eingang eine Signalflanke angelegt, die zeitverzögert am Scan-Ausgang der Flipflop-Kette erscheint. Ab dem Zeitpunkt, in dem die Signalflanke an den Scan-Eingang angelegt wird, wird der Scan-Ausgang in periodischen Zeitabständen ausgelesen. Die erhaltenen Meßwerte werden mit einem vorgegebenen Erwartungswert verglichen; alle vom Erwartungswert abweichenden Meßwerte werden gezählt. Das Flush-Delay ergibt sich aus der Multiplikation der Zahl abweichender Meßwerte mit der Meßperiode. Im Gegensatz zu früheren Meßverfahren genügt beim hier vorgestellten Verfahren eine einzige Messung zur Ermittlung des Flush-Delays. Außerdem ist es möglich, die Flush-Delays mehrerer Scanpfade parallel zu vermessen.



DE 198 45 409 A 1

DE 198 45 409 A 1

1

Beschreibung

Technischer Hintergrund

Die Erfindung betrifft eine verbesserte Methode zur Messung des Flush-Delays, einer Kenngröße für die Schnelligkeit von Chips, und eine Testvorrichtung zur Durchführung der erfindungsgemäßen Flush-Delay Messung.

Die Erfindung ist für alle gemäß den Regeln des Level Sensitive Scan Design (LSSD) aufgebauten Chips anwendbar. Bei derartigen Chips wird die Gesamtlogik in kleinere Logik-Untereinheiten unterteilt. Die Eingangs- und Ausgangssignale der Untereinheiten werden in Flipflops zwischengespeichert, die zu Kontrollzwecken über eigene Scan-Datenpfade gesetzt und ausgelesen werden können. Eine detailliertere Beschreibung des Level Sensitive Scan Designs wird im Zusammenhang mit Fig. 1 gegeben.

Jeder Scanpfad besteht aus vielen hintereinandergeschalteten Flipflops, wobei jeweils der Ausgang eines Flipflops mit dem Scan-Eingang des nächsten Flipflops verbunden ist. Über die statischen Takteingänge der Flipflops ist es möglich, zu Meßzwecken sämtliche Flipflops eines Scanpfades "auf Durchzug" zu schalten. Bei diesem Modus erscheint eine an den Eingang eines Scanpfades angelegte Flanke – mit einer gewissen Verzögerung – an dessen Ausgang. Diese Verzögerung, das sogenannte Flush-Delay, hängt im wesentlichen von der Schaltgeschwindigkeit der Flipflops im Scanpfad ab und ist daher eine Meßgröße für die Performance eines Chips.

Bei den bisher verwendeten Meßmethoden zur Ermittlung des Flush Delay wird zu einem Startzeitpunkt T_0 eine Flanke an den Eingang des Scanpfades angelegt. Nach einem vorher festgelegten Zeitintervall t wird der Ausgang des Scanpfades ausgelesen, und es wird ermittelt, ob die Messung vor oder nach dem Erscheinen der Flanke erfolgt ist. Wenn die Flanke vor der Messung bereits erschienen ist, wird t für die nächste Messung verkürzt.

Für die Festlegung von t für die jeweils nächste Messung existieren verschiedene Algorithmen: Bei der sogenannten "Global Search" wird t zunächst sehr groß gewählt, dann halbiert, um zu bestimmen, ob der Übergang in der ersten oder in der zweiten Hälfte von t erfolgt. Der nächste Wert von t wird in der Mitte des verbliebenen Zeitfensters gewählt, um zu bestimmen, ob zu diesem Zeitpunkt die Flanke bereits am Ausgang erschienen ist oder nicht. Dadurch kann das in Frage kommende Zeitfenster nochmals halbiert werden. Auf diese Weise ist es möglich, das Flush Delay durch $(n+1)$ Messungen bis auf $t \text{ OVER } \{2 \text{ SUP } n\}$ genau zu bestimmen.

Bei der sogenannten "Linear Search" dagegen wird t in jeweils gleichen Zeitschritten inkrementiert bzw. dekrementiert, um den Zeitpunkt des Erscheinen der Flanke am Ausgang des Scan-Pfades zu bestimmen.

Beiden Methoden ist gemeinsam, daß zur Bestimmung des Flush Delays bis zu einer vorgegebenen Genauigkeit eine ganze Serie von Messungen durchgeführt werden muß. Daraus ergibt sich zum einen der Nachteil langer Meßzeiten und hoher Kosten. Auch führt die Vielzahl der Messungen zu einer gewissen Erwärmung des Chips, so daß also die Temperatur über die Gesamtmessung gesehen nicht konstant ist. Dadurch wird das Meßergebnis verfälscht.

Aufgabe der Erfindung

Aufgabe der Erfindung ist es, ein Verfahren sowie eine Testvorrichtung zur Messung des Flush-Delays bei Chips im LSSD-Design zur Verfügung zu stellen, die die Nachteile der bisher angewandten Meßmethoden vermeidet.

2

Aufgabe der Erfindung ist es insbesondere, ein Verfahren sowie eine Testvorrichtung zur Messung des Flush-Delays bei Chips im LSSD-Design zur Verfügung zu stellen, die eine schnellere Bestimmung des Flush Delays erlaubt und auch die parallele Vermessung mehrerer Ketten ermöglicht.

Erfindungsgemäße Lösung

Die Aufgabe der Erfindung wird durch ein Verfahren 10 nach den Ansprüchen 1 und 5 sowie durch eine Testvorrichtung nach Anspruch 9 gelöst.

Bei der erfundungsgemäßen Lösung wird an den Scan-Eingang eine Signalflanke angelegt, die zeitverzögert am Scan-Ausgang der Flipflop-Kette erscheint. Ab dem Zeitpunkt 15, in dem die Signalflanke an den Scan-Eingang angelegt wird, wird der Scan-Ausgang in periodischen Zeitabständen ausgelesen. Die erhaltenen Meßwerte werden mit einem vorgegebenen Erwartungswert verglichen; alle vom Erwartungswert abweichenden Meßwerte werden gezählt. 20 Das Flush-Delay ergibt sich aus der Multiplikation der Zahl abweichender Meßwerte mit der Meßperiode.

Im Gegensatz zu früheren Meßverfahren genügt beim hier vorgestellten Verfahren eine einzige Messung zur Ermittlung des Flush-Delays. Dies führt zu einer erheblichen 25 Beschleunigung des Chiptests und damit zu der Möglichkeit, erheblich mehr Messungen pro Zeiteinheit durchführen zu können.

Dadurch, daß bei der vorliegenden Methode das Flush-Delay mit einer einzigen Messung ermittelt werden kann, 30 wird auch die thermische Belastung des Chips reduziert. Während bei früheren Meßmethoden die zunehmende Erwärmung des Chips zu einer Verfälschung des Meßergebnisses führte, ist die thermische Belastung bei der vorliegenden Meßmethode vernachlässigbar.

Ein weiterer Vorteil ist, daß das Verfahren auf heute verfügbaren Testern implementiert werden kann. Derartige Tester sind bereits für die Testverfahren "Global Search" bzw. 35 "Linear Search" ausgerüstet. Eine Umrüstung auf das erfundungsgemäße Verfahren ist kostengünstig möglich und amortisiert sich schnell.

Bei dem Verfahren zur Messung der Flush-Delays mehrerer Ketten von Flipflops nach Anspruch 5 werden die Ausgänge mehrerer Scanpfade parallel ausgelesen. Vorteil dieser simultanen Messung ist, daß der Zeitaufwand für die 40 Vermessung eines Chips weiter abgesenkt wird. Wegen der zunehmenden Integrationsdichte erhöht sich sowohl die Zahl als auch die durchschnittliche Länge der Scanpfade von Chipgeneration zu Chipgeneration. Daher fällt die Zeiterparnis immer mehr ins Gewicht: Während sich bei einem PU-Clock Chip der letzten Generation mit 5 Flipflop-Ketten eine Zeiterparnis um den Faktor 15 ergab, beträgt dieser Zeiterparnis-Faktor beim aktuellen MBA-Chip ca. 60. Aus diesem Grund konnten durch den Einsatz der erfundungsgemäßen Meßmethode bereits erhebliche Kosteneinsparungen 45 realisiert werden.

Übersicht über die Zeichnungen

Fig. 1 zeigt die Datenpfade in einem gemäß den LSSD-Regeln entworfenen Chip. Zwischen den logischen Verarbeitungsstufen sind Master-Slave-Flipflops zum Speichern der Zwischenergebnisse vorgesehen, die zu Prüfzwecken 50 gesetzt und ausgelesen werden können.

Fig. 2 zeigt ein Master-Slave-Flipflop, wie es beim LSSD-Design verwendet wird. Neben dem im normalen System-Modus verwendeten Dateneingang weist die Master-Stufe einen separaten Dateneingang für den Scan-Modus auf.

Fig. 3 veranschaulicht den Zusammenhang zwischen Dateneingang, Takt und Datenausgang bei einem einzelnen Flipflop.

Fig. 4A zeigt die Arbeitsweise eines Master-Slave-Flipflops im System-Modus.

Fig. 4B zeigt die Arbeitsweise eines Master-Slave-Flipflops im Scan-Modus.

Fig. 5 zeigt die Meßanordnung zur Bestimmung des Flush-Delay(0).

Fig. 6 veranschaulicht den Zusammenhang zwischen Schaltgeschwindigkeit und Geometrie bei einem Feldeffekttransistor.

Fig. 7 zeigt die Chip-Ausbeute beim Fertigungsprozeß in Abhängigkeit von der Schaltgeschwindigkeit der Chips. Typischerweise ergibt sich eine Gauß-Verteilung.

Fig. 8 zeigt die erfundungsgemäße Bestimmung der Flush-Verzögerung. Dabei wird der Scan-Ausgang in regelmäßigen Zeitintervallen abgefragt und mit einem vorgegebenen Erwartungswert verglichen.

Fig. 9 zeigt die parallele Bestimmung der jeweiligen Flush-0-Verzögerung von drei verschiedenen Scanpfaden.

Fig. 10 stellt eine Methode vor, mit der die Genauigkeit bei der Messung der Flush-Verzögerung gesteigert werden kann.

Figurenbeschreibung

Fig. 1 zeigt eine Übersicht über einen entsprechend den Regeln des Level-Sensitive Scan Design (LSSD) entworfenen Chip. Bei diesem Designansatz werden Signaldaten jeweils in einer Reihe von Master-Slave-Flipflops zwischengespeichert, bevor sie zur nächsten Logik-Verarbeitungsstufe weitergereicht werden. So sind die Eingangsdaten für die Logik-Verarbeitungsstufe 110 in den Flipflops 100 bis 104 durch Hineinschieben gespeichert worden; von dort gelangen sie über die Signalleitungen 105 bis 109 zu der Verarbeitungslogik 110. Die von dieser Logik produzierten (Zwischen-)Ergebnisse müssen nun ihrerseits wieder gespeichert werden. Zu diesem Zweck gelangen die Ergebnisse der Logik 110 über die Signalleitungen 111 bis 115 zu den Flipflops 116 bis 120. Dort dienen diese Daten wiederum als Eingangsdaten der nächstfolgenden Logikstufe 121. Die jeweiligen Logikstufen sind so ausgelegt, daß die dort stattfindende Signalverarbeitung weniger als einen Chiptakt benötigt. Dadurch wird ein definierter Datenfluß im Chip erzielt: Innerhalb eines Systemtakts gelangen Daten von den Eingangsflipflops (beispielsweise 100–104) über die folgende Verarbeitungsstufe (hier 110) zu den nächsten Zwischenspeicher-Flipflops (hier 116–120). Innerhalb des nächsten Systemtakts durchlaufen diese Daten dann die nächste Logikstufe (hier 121), werden wieder in einer Reihe von Flipflops aufgefangen, usw. Auf diese Weise wird ein strukturierter Datenfluß durch den Chip erzielt.

Ein weiterer Vorteil dieses LSSD-Designansatzes ist, daß die zwischengespeicherten Resultate jeder Verarbeitungsstufe auf einfache Weise ausgelesen und auf Fehler überprüft werden können. Zu diesem Zweck besitzt jedes Master-Slave-Flipflop einen zweiten Dateneingang, der im normalen System-Modus allerdings deaktiviert ist. Mittels dieser separaten Dateneingänge sind nun die verschiedenen Flipflops einer Verarbeitungsstufe zusammenge schaltet. Dadurch ergibt sich der sogenannte Scanpfad, der zum Setzen und Auslesen der jeweiligen Registerwerte dient. Einer der in **Fig. 1** gezeigten Scanpfade besteht aus den Flipflops 116 bis 120 und den Leitungsverbindungen 122 bis 127. Die Scan-In Leitung 122 führt zum Scan-Eingang des ersten Flipflops 116. Dessen Ausgang ist (123) mit dem Scan-Eingang des nächsten Flipflops 117 verknüpft, dessen Ausgang

ist wiederum (124) mit dem Scan-Eingang des nächsten Flipflops 118 verbunden, etc. Der Ausgang 127 des letzten Flipflops 120 ist zugleich die Scan-Out Leitung des gesamten Scanpfades. Durch dieses "Auffädeln" der Flipflops entsteht ein viele Flipflops umfassendes Schieberegister, das einen gemeinsamen Scan-In 122 und einen gemeinsamen Scan-Out 127 aufweist. In **Fig. 1** wird ein zweiter Scanpfad durch die Flipflops 100 bis 104 gebildet. Jeder Scanpfad erlaubt, die Registerinhalte der zum Scanpfad gehörigen Flipflops über seine Scan-Out Leitung auszulesen.

In **Fig. 2** ist die Struktur der Takt- und Dateneingänge eines Master-Slave-Flipflops, wie es im LSSD-Design verwendet wird, dargestellt. Die Master-Stufe 200 besitzt zwei Takteingänge A (204) und C (205). Weitere Eingänge der Master-Stufe sind der Dateneingang D_{in} (203) sowie der Scan-In Eingang SI (202). Der Dateneingang D_{in} (203) ist der im normalen System-Modus verwendete Dateneingang. Er wird durch Takt C (205) getaktet. Der Scan-In Eingang 202 dagegen wird lediglich im Scan-Modus verwendet; ihm ist der Takt A (204) zugeordnet. Die Slave-Stufe 201 besitzt einen eigenen Takteingang B (206), durch den die Übernahme von Daten von der Master-Stufe getaktet wird. Die Slave-Stufe weist lediglich einen Ausgang auf, der sowohl den Datenausgang D_{out} für den regulären System-Modus als auch den Scan-Out Ausgang SO (208) für den Scan-Modus darstellt.

Jedem Eingang der Master-Stufe ist also ein eigener Takteingang zugeordnet: Takt C (205) steuert den Eingang D_{in} (203), und Takt A (204) steuert den Scan-In Eingang 202. Dies bedeutet, daß das am jeweiligen Eingang anliegende Eingangssignal nur dann und nur solange übernommen werden kann, solange der zugehörige Takteingang auf "HIGH"-Potential liegt. Wenn der zugehörige Takteingang auf "LOW" liegt, wird das anliegende Signal nicht berücksichtigt.

Fig. 3 zeigt, wie das Signal 302 am Ausgang einer Stufe, sowohl von dem an der Stufe anliegenden Eingangssignal 300 als auch vom zugehörigen Takt 301 abhängt. Anfangs sind sowohl das Eingangssignal als auch der Takt auf "HIGH", und deshalb ist auch der Ausgang auf "HIGH". Zwischen dem Zeitpunkt 303 und dem Zeitpunkt 305 befindet sich der Takteingang auf "LOW", und deshalb werden in diesem Zeitintervall keine Daten vom Eingang übernommen. In diesem Fall bleibt das zum Zeitpunkt 303 übernommene Potential am Ausgang solange stabil, bis wieder ein Potential vom Eingang durchgeschaltet wird. Der Ausgang bleibt deshalb bis zum Zeitpunkt 305 auf "HIGH". Zwar ändert sich zum Zeitpunkt 304 das Eingangspotential 300 auf "LOW", da zu diesem Zeitpunkt aber der Takt auf "LOW" ist, kann diese Änderung nicht zum Ausgang durchgeschaltet werden. Erst zum Zeitpunkt 305, wenn der Takt wieder auf "HIGH" ist, erscheint das "LOW"-Potential des Eingangs 300 am Ausgang 302. Zum Zeitpunkt 306, zu dem das Eingangspotential auf "HIGH" springt, liegt der Takteingang immer noch auf "HIGH". Deshalb wird diese Änderung direkt am Ausgang 302 sichtbar. Das Flipflop ist also mit aktivem Takteingang transparent, die Eingangsdaten propagieren durch.

Fig. 4A beschreibt ein Master-Slave-Flipflop, das im System-Modus betrieben wird. Takt A (400) ist permanent auf "LOW", und deshalb können keine Daten vom Scan-In Eingang (202 in **Fig. 2**) zum Ausgang gelangen. Der Scan-Eingang ist also stummgeschaltet. Taktsignale liegen sowohl am Takt-C-Eingang der Master-Stufe, der zum Dateneingang D_{in} gehört, als auch am Takt-B-Eingang der Slave-Stufe an. Takt C (401) ist gegenüber Takt B (402) phasenverschoben, wobei der C-Takt 401 dem B-Takt 402 einen halben Taktzyklus voraussetzt. Am Dateneingang D_{in} (203 in

Fig. 2) wird nun das Eingangssignal 403 angelegt. Beim Anstieg von Takt C auf "HIGH" zum Zeitpunkt 406 kann das Eingangssignal D_{in} (403) zum Ausgang der Master-Stufe (404) durchgeschaltet werden. Wenn das Taktignal C zum Zeitpunkt 407 wieder auf "LOW" springt, bleibt am Ausgang der Master-Stufe trotzdem das "HIGH"-Potential erhalten. Der Ausgang der Master-Stufe (404) des Flipflops stellt zugleich den Eingang der Slave-Stufe dar. Dieses Signal 404 kann nur bei aktivem B-Takt (402) zum Ausgang D_{out} (405) des gesamten Flipflops durchgeschaltet werden. Das Takt-B-Signal 402 geht im Zeitpunkt 408 auf "HIGH" über. Zu diesem Zeitpunkt liegt der Ausgang der Master-Stufe (404) bereits auf "HIGH". Deshalb wechselt das Ausgangssignal D_{out} (405) im Zeitpunkt 408 von "LOW" auf "HIGH". Auf diesem Potential bleibt der Ausgang auch, nachdem das Takt-B-Signal wieder auf "LOW" abgesunken ist.

In **Fig. 4B** ist dargestellt, wie dasselbe Master-Slave-Flipflop im Scan-Modus betrieben werden kann. In diesem Betriebsmodus ist Takt C (451) dauernd auf "LOW" gesetzt, und daher ist der mit Takt C verbundene Dateneingang D_{in} (203 in **Fig. 2**) deaktiviert. Die Master-Stufe wird über den Takteingang A, die Slave-Stufe über den Takteingang B mit gegeneinander phasenverschobenen Taktpulsen (450, 452) versorgt. Takt A (450) eilt dem Takt B (452) um einen halben Taktzyklus voraus. Am Scan-In Eingang SI (202 in **Fig. 2**) wird nun das Signal 453 angelegt. Sobald Takt A auf "HIGH" springt, was zum Zeitpunkt 456 geschieht, kann das "HIGH" Signal am Scan-In Eingang auf den Ausgang der Master-Stufe (Signal 454) durchgeschaltet werden. Im Zeitpunkt 457 wechselt das Takt-A-Signal 450 von "HIGH" auf "LOW". Am Ausgang der Master-Stufe 454 bleibt das zuletzt anliegende Eingangssignal, also "HIGH", erhalten. Der Ausgang der Master-Stufe kann aber noch nicht zum Ausgang der Slave-Stufe 455 durchgeschaltet werden, denn das Takt-B-Signal (452) ist noch auf "LOW". Erst im Zeitpunkt 458 springt das Takt-B-Signal 452 von "LOW" auf "HIGH", und das "HIGH"-Signal 454 am Ausgang der Master-Stufe wird zum Ausgang 455 des gesamten Flipflops durchgeschaltet.

Ausgehend von der bisher dargestellten Funktionsweise eines im LSSD-Design verwendeten Master-Slave-Flipflops soll im folgenden die erfundungsgemäße Methode zur Messung des sogenannten Flush-Delays dargestellt werden. Das so ermittelte Flush-Delay dient zur Charakterisierung der Verarbeitungsgeschwindigkeit des Chips.

Die Meßanordnung zur Bestimmung des Flush-Delays ist in **Fig. 5** dargestellt. Ausgangspunkt ist ein Scanpfad in einem gemäß den Regeln des LSSD-Designs entworfenen Chip. Der Scanpfad besteht aus einer Reihe von Master-Slave-Flipflops (500, 501, 502, ..., 503), deren Scan-Ausgang (208 in **Fig. 2**) jeweils mit dem Scan-Eingang (202 in **Fig. 2**) des nächsten Flipflops verbunden ist (504, 505). Der Scan-Eingang 506 des ersten Flipflops 500 stellt daher auch den Scan-Eingang des gesamten Flipflop-Kette dar, und der Scan-Ausgang 507 des letzten Flipflops 503 im Scanpfad ist daher auch der Scan-Ausgang des gesamten Scanpfades.

Die Flipflops werden nun allerdings nicht in dem anhand von **Fig. 4B** beschriebenen Scan-Modus betrieben. Statt dessen wird sowohl an den Takt-A-Eingang jeder Master-Stufe als auch an den Takt-B-Eingang jeder Slave-Stufe ein konstantes "HIGH"-Potential angelegt (508, 509). Das hat zur Folge, daß ein am Scan-Eingang eines Flipflops anliegendes Signal sofort am Ausgang des Flipflops erscheint, allerdings verzögert um die Schaltgeschwindigkeit des Flipflops. Da dieser Ausgang gleichzeitig der Eingang des nächst folgenden Flipflops im Scanpfad ist und auch dieses Flipflop "auf Durchzug" geschaltet ist, erscheint das Signal

auch an dessen Scan-Ausgang – abermals verzögert um die Schaltgeschwindigkeit. Dieser Betriebsmodus der Flipflops, bei dem sowohl Takt A als auch Takt B konstant auf "HIGH"-Potential gehalten werden, wird als "Flush Modus" bezeichnet.

An den Scan-Eingang 506 des Scanpfades wird nun ein Meßsignal 510 angelegt, das zur Zeit T0, nach einer Phase der Initialisierung, von "HIGH" auf "LOW" übergeht. Diese Signalflanke durchläuft den Scanpfad, an dessen Scan-Ausgang der Signalverlauf 511 gemessen wird. Bei dem gemessenen Signal 511 erfolgt die Flanke von "HIGH" auf "LOW" nicht zum Zeitpunkt T0, sondern um eine gewisse Verzögerungszeit verschoben. Diese Verzögerung ist das "Flush Delay(0)" (512). Während das "Flush Delay(0)" die Verzögerung bei einer Flanke von "HIGH" auf "LOW" bezeichnet, wird der umgekehrte Fall, eine Flanke von "LOW" auf "HIGH", als "Flush Delay(1)" bezeichnet.

Das Flush Delay kommt durch die Summe der Schaltverzögerungen der Flipflops im Scanpfad zustande. Ein Scanpfad umfaßt zwischen hundert und über hunderttausend Flipflops. Während die von einem Flipflop hervorgerufene Schaltverzögerung so geringfügig ist, daß sie nur mit hohem Aufwand gemessen werden könnte, ist die Summe aller Verzögerungen in einem Scanpfad bequem meßbar. Das so ermittelte Flush-Delay erlaubt Rückschlüsse auf die durchschnittliche Schaltgeschwindigkeit eines Master-Slave-Flipflops. Diese Schaltgeschwindigkeit hängt aber ihrerseits von der Schaltgeschwindigkeit der Feldeffekttransistoren (FETs) des Chips ab. Damit stellt das Flush-Delay eine nicht nur für die Flipflops, sondern generell für die Verarbeitungsgeschwindigkeit ("Performance") des Chips relevante Kennzahl dar.

Fig. 6 zeigt die Geometrie eines Feldeffekttransistors. Der Stromfluß zwischen dem Source- (600) und dem Drain-Anschluß (601) wird dabei von der am Gate (602) anliegenden Spannung bestimmt. Bei einem n-FET muß das Gate positiv geladen sein, um einen Stromfluß zwischen Source und Drain zu erlauben, andernfalls ist die Source-Drain-Strecke gesperrt. Die über die Source-Drain-Strecke fließenden Ströme dienen vor allem zur Auf- bzw. Umladung der Gates anderer Feldeffekttransistoren. Daraus folgt aber, daß die Schaltgeschwindigkeit der FETs von der Stromstärke abhängt, die über die leitende Source-Drain-Strecke fließen kann. Diese Stromstärke wird durch den Widerstand der Source-Drain-Strecke bestimmt und hängt daher sowohl von der Kanallänge 603 als auch von der Breite 604 des FETs ab. Je kürzer die Kanallänge ist, desto höher ist der fließende Strom und desto kürzer wird die Schaltzeit.

Bedingt durch den Fertigungsprozeß kommt es zu Variationen der Kanallänge der FETs, die beispielsweise durch veränderte Belichtungsbedingungen bei photolithographischen Herstellungsschritten, durch die Abnahme der Aktivität von Ätzbädern, etc. zustande kommen. Dies führt dazu, daß auch die Schaltgeschwindigkeiten der FETs gewissen Fertigungstoleranzen unterliegen. Mittels der Flush-Delay Messung ist auf einfache und schnelle Weise die Möglichkeit einer Beurteilung der Schaltgeschwindigkeit eines Chips gegeben. Dabei ist besonders vorteilhaft, daß jeweils das Flush-Delay eines ganzen Scanpfades, also einer Kette von Flipflops, gemessen wird, weil das Flush-Delay dadurch vom Verhalten vieler FETs abhängt und insofern einen gemittelten Performancewert darstellt. Insbesondere sind die verschiedenen FETs eines Scanpfades über den gesamten Chip verteilt angeordnet, so daß das Flush-Delay auch in räumlicher Hinsicht einen Mittelwert darstellt. Es ist häufig festzustellen, daß die Schaltgeschwindigkeit der FETs auf einem Chip einem Gradienten unterliegt, daß also beispielsweise FETs auf der linken Chipseite schneller schalten als

identisch dimensionierte FETs auf der rechten Seite. Derartige Inhomogenitäten und Gradienten werden insbesondere durch Masken- und Belichtungsschritte hervorgerufen. Gerade deshalb ist es wichtig, daß in einer Performancemessung die Charakteristika verschiedener FETs aus verschiedenen Chip-Regionen Eingang finden, und dies ist bei der beschriebenen Flush-Delay Messung der Fall.

In Fig. 7 ist eine typische Kurve (700) für die Abhängigkeit der Chipausbeute vom gemessenen Flush-Delay angegeben. Nach rechts ist das Flush-Delay, nach oben die Anzahl der Chips mit diesem Delay aufgetragen. Es ergibt sich ungefähr eine Gaußverteilung um den Erwartungswert des Flush-Delay. Mittels sogenannter Sort-Points (701, 702, 703, 704) können nun Bereiche verschiedener Chip-Performance definiert werden. Beispielsweise wird durch die Sort-Points 701 und 702 ein Bereich (705) von überdurchschnittlich schnellen Chips festgelegt, die in High-End Maschinen mit hoher Taktrate verwendet werden können. Durch die Sort-Points 702 und 703 wird der Normalbereich 706 der Performance definiert, während die Chips, die in den Bereich 707 fallen, besonders langsam sind.

Fig. 8 zeigt die Durchführung der erfindungsgemäßen Meßmethode. Dazu wird das Eingangssignal an den Scan-Eingang 800 des Scanpfades angelegt. Der zeitliche Verlauf des Signals ist von links nach rechts aufgetragen. Im Bereich 801 des Signalverlaufs wird der Scanpfad zunächst mit "HIGH"-Potential initialisiert. Anschließend, zum Zeitpunkt T0 (802), fällt das Potential in der Flanke 803 auf "LOW"-Potential (804) ab. Diese Signalflanke propagiert nun entlang des Scanpfades und erscheint zeitverzögert am Scan-Ausgang 805. Der zeitliche Abstand zwischen dem Zeitpunkt T0 (802) und dem Auftreten (806) der Flanke am Scan-Ausgang definiert das Flush-Delay(0) (807). Beim hier vorliegenden Fall einer Flanke von "HIGH"- auf "LOW"-Potential spricht man vom Flush-Delay(0), weil die Flanke zum Potential 0 hin erfolgt. Beim umgekehrten Fall, dem Flush-Delay(1), liegt ein Übergang zum Potential 1 vor, also eine Flanke von "LOW" auf "HIGH".

Zur Messung des Flush-Delays wird – ab dem Zeitpunkt T0 (802) – der Scan-Ausgang (805) einmal pro Meßintervall ΔT (808) ausgelesen. Die Messung erfolgt dabei jeweils in der Mitte des zugehörigen Meßintervalls. Jeder Meßzeitpunkt (Strobe) ist in Fig. 8 als Pfeil (809, 810) dargestellt. Die erste Messung (809) erfolgt also $0,5 \cdot \Delta T$ nach T0, die zweite Messung (810) erfolgt $1,5 \cdot \Delta T$ nach T0, etc.

Bei der Vermessung des am Scan-Ausgang 805 auftretenden Signals ergibt sich folgendes Meßergebnis (811): Die ersten acht Auslesepulse liefern ein "HIGH"-Potential, dann erscheint die Flanke 806 am Scan-Ausgang, und deshalb liefern der neunte und die darauffolgenden Auslesepulse ein "LOW"-Potential. Das so erhaltene Meßergebnis wird nun mit einem vordefinierten Erwartungswert (812) verglichen. Im vorliegenden Fall wird als Erwartungswert das Potential definiert, das nach dem Erscheinen der Flanke am Scan-Ausgang anliegt. Als Erwartungswert wird also das "LOW"-Potential definiert. Der Vergleich des Meßergebnisses 811 mit dem Erwartungswert 812 ergibt für die ersten acht Messungen keine Übereinstimmung ("fail", 813), für die neunte und die darauf folgenden Messungen ergibt sich Übereinstimmung ("pass", 814). Eine Zählvorrichtung, die entweder als Hardware oder als Software ausgeführt sein kann, zählt die nicht mit dem Erwartungswert übereinstimmenden Meßergebnisse, also die "fails" (813). Im Fall von Fig. 8 ergibt sich n, die Zahl der "fails", zu 8. Zusammen mit dem Meßintervall ΔT läßt sich daraus das Flush-Delay ausrechnen:

$$\text{Flush-Delay} = n \cdot \Delta T.$$

Je kürzer die Ausleseperiode gewählt wird, umso genauer läßt sich das Flush-Delay ermitteln.

Ein Vorteil der erfindungsgemäßen Meßmethode ist, daß zur Ermittlung des Flush-Delays lediglich eine einzige Messung notwendig ist, und zwar unabhängig davon, ob eine lange oder eine kurze Flipflop-Kette vermessen wird. Die bisher bekannten Meßmethoden erforderten jeweils eine Vielzahl von Messungen. Dies war einerseits zeitaufwendig und führte andererseits dazu, daß sich der Chip im Verlauf der Messung erwärmt, was wiederum das Meßergebnis verfälschte.

Mit der erfindungsgemäßen Meßmethode für das Flush-Delay ist es andererseits aber auch möglich, eine Reihe von Flipflop-Ketten parallel zu vermessen. Dies ist in Fig. 9 dargestellt. Hier sollen die Flush-Delays(0) von drei Scanpfaden (905, 906, 907) parallel gemessen werden. Dazu wird an die jeweiligen Scan-Eingänge SI (900), nach vorausgehender Initialisierung mit "HIGH"-Potential (901), zum Zeitpunkt T0 (902) eine Flanke 903 von "HIGH" auf "LOW" (904) angelegt.

Diese Flanke durchläuft nun die Flipflop-Ketten 1 (905), 2 (906) und 3 (907). Am Scan-Ausgang 908 von Scanpfad 1 erscheint die Flanke 910 nach Ablauf des zugehörigen Flush-Delays 909. Ab dem Zeitpunkt T0 (902) wird der Scan-Ausgang von Kette 1 periodisch durch Auslesepulse 911 abgefragt. Die Messung erfolgt jeweils in der Mitte des zugehörigen Meßintervalls 912. Die ersten fünf Abfragen liefern "HIGH" als Ergebnis, die darauffolgenden Abfragen liefern "LOW". Daraus ergibt sich als Resultat für Kette 1 (905) $n = 5$. Kette 2 (906) ist länger als Kette 1 (905), und deshalb erscheint die Flanke 915 am Ausgang 913 des Scanpfads 2 auch später als die Flanke 910 beim Scanpfad 1. Das Flush Delay 914 des Scanpfad 2 ergibt sich als zeitlicher Abstand zwischen dem Zeitpunkt T0 (902) und dem Auftauchen der Flanke 915. Um dieses Flush-Delay zu bestimmen, muß auch der Scan-Ausgang 2 (913) durch Auslesepulse periodisch abgefragt werden. Da auch die Messung am Scan-Ausgang von Kette 2 zum Zeitpunkt T0 beginnt, erfolgen die Messungen synchron zu den Messungen am Scanpfad 1. Die Meßimpulse (Strobes) für die verschiedenen Ketten (905, 906, 907) können daher von einem gemeinsamen Taktgeber stammen, der als Hardware oder Software ausgeführt sein kann.

Im Fall des Scan-Ausgangs 913 liefern die ersten acht Auslesepulse "HIGH", die folgenden "LOW". Daraus ergibt sich $n = 8$. Entsprechend verursacht die sehr kurze Kette 3 (907) an ihrem Scan-Ausgang 916 nur ein kurzes Flush-Delay 917. Lediglich die ersten vier Pulse liefern "HIGH", danach erscheint die Flanke 918, und die folgenden Pulse liefern "LOW". Daraus ergibt sich $n = 4$.

Bei der bisher beschriebenen Variante der erfindungsgemäßen Meßmethode wird die Meßgenauigkeit durch ΔT bestimmt. Um die Meßgenauigkeit zu erhöhen, muß also ΔT verkleinert werden. Die Auslese-Taktrate kann aber nicht unbegrenzt erhöht werden, Taktraten von mehr als 200 MHz sind nur mit hohem baulichen Aufwand erzielbar.

Zur Steigerung der Meßgenauigkeit bietet sich daher das in Fig. 10 beschriebene Meßverfahren an. Dabei wird an den Scan-Eingang SI (1000) ein Eingangssignal angelegt, das den zu vermessenden Scanpfad zunächst mit "HIGH"-Potential initialisiert. Zum Zeitpunkt T0 (1001) erfolgt ein Übergang (1002) zu "LOW"-Potential. Diese Flanke 1002 propagiert durch den Scanpfad und erscheint (1005), um das Flush-Delay(0) (1004) verzögert, am Ausgang SO (1003) des Scan-Pfades.

Es werden nun mehrere Messungen am Scan-Ausgang durchgeführt, wobei aber jeweils die relative zeitliche Lage der Auslesepulse oder Strobes (1006) in ihrem Meßintervall

(1007) variiert wird.

Die Zeitspanne T_d ist dabei als der zeitliche Abstand zwischen dem Beginn des Meßintervalls und dem Meßzeitpunkt definiert. Bei der ersten Messung wird $T_d0 = 0$ gewählt, was bedeutet, daß die erste Messung gleich zu Beginn des ersten Meßintervalls und somit zum Zeitpunkt T0 (1001) erfolgt. Bei dieser 1. Messung liefern die ersten neun Strobes ein "HIGH"-Potential. Zwischen dem neunten (1008) und dem zehnten Strobe (1009) erscheint die Flanke 1005 am Scan-Ausgang. Der zehnte Meßpuls 1009 liefert daher bereits ein "LOW"-Potential. Damit ergibt sich n0, die Zahl der Meßpulse bis zum Eintreffen der Flanke, zu 9.

Bei den folgenden Messungen wird T_d nun schrittweise erhöht. Bei der zweiten Messung erfolgt der erste Meßpuls 1011 daher nicht zum Zeitpunkt T0 (1001), sondern um T_d1 (1010) gegenüber T0 verschoben. Auch alle folgenden Meßpulse sind jeweils um T_d1 (1010) gegenüber dem jeweiligen Beginn des ihnen zugeordneten Meßintervalls verschoben. Der neunte Meßpuls (1012) erfolgt aber noch vor dem Eintreffen der Flanke 1005 am Scan-Ausgang. Damit ergibt sich auch für diese Messung $n_2 = 9$.

In unserem Beispiel ist der Wert von T_d für die Bestimmung des Flush-Delays 1004 entscheidend, bei dem der neunte Auslesepuls nach dem Eintreffen der Flanke 1005 erfolgt. Allgemeiner formuliert ist der Wert von T_d entscheidend, bei dem der Übergang zum nächstkleineren n erfolgt. Im dargestellten Beispiel passiert dies bei der 3. Messung, bei dem Wert T_d2 (1013). Hier erfolgt die zum ersten Meßintervall gehörige Messung zum Zeitpunkt 1014, und der neunte Meßimpuls erfolgt zum Zeitpunkt 1015. Dieser neunte Meßimpuls erfolgt bereits nach dem Eintreffen der Flanke 1005 am Scan-Ausgang. Er liefert daher als Meßergebnis das Potential "LOW". Daher ergibt sich $n_2 = 8$.

Je feiner das ursprüngliche Meßintervall 1007 unterteilt wird, desto mehr Messungen müssen durchgeführt werden, desto höher ist dann aber auch die Meßgenauigkeit. Wenn T_d die Zeitspanne bezeichnet, bei der der Übergang vom größeren zum kleineren n stattfindet, so ergibt sich das Flush-Delay zu

$$\text{Flush-Delay} = (n_g - 1) \cdot \Delta T + T_d;$$

wobei n_g hier das größere n , also das n vor dem Übergang, bezeichnet. In dem in Fig. 10 gezeigten Fall ergäbe sich

$$\text{Flush-Delay}(0) = 8 \cdot \Delta T + T_d2.$$

Patentansprüche

1. Verfahren zur Messung des Flush-Delays einer Kette von Flipflops in einem gemäß dem LSSD-Design gefertigten Chip,
wobei sich die Flipflops der Kette im Flush-Modus befinden,
gekennzeichnet durch folgende Schritte:

Initialisieren der Kette durch ein an den Eingang der Kette angelegtes erstes Potential;
Ändern des an den Eingang der Kette angelegten ersten Potentials auf ein zweites Potential zu einem Startzeitpunkt (T0);
wiederholtes Auslesen des Ausgangs der Kette in regelmäßigen Zeitintervallen ΔT ab dem Startzeitpunkt (T0);
Bestimmen der Zahl n von Zeitintervallen ΔT , deren Ausleseergebnis das erste Potential und noch nicht das zweite Potential ergeben hat.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das Auslesen des Ausgangs der Kette jeweils

in der Mitte eines Zeitintervalls ΔT erfolgt.

3. Verfahren nach einem der Ansprüche 1 oder 2, gekennzeichnet durch folgenden weiteren Schritt:
Berechnen des Flush Delays als $n \cdot \Delta T$.

4. Verfahren nach einem der Ansprüche 1 bis 3, gekennzeichnet durch folgenden weiteren Schritt:
Vergleichen des jeweils ausgelesenen Potentials mit einem vorher definierten Erwartungswert.

5. Verfahren zur Messung der Flush-Delays mehrerer Ketten von Flipflops in einem gemäß dem LSSD-Design gefertigten Chip,
wobei sich die Flipflops der Ketten im Flush-Modus befinden,
gekennzeichnet durch folgende Schritte:

Initialisieren der Kette durch ein an die Eingänge der Ketten angelegtes erstes Potential;
Synchrones Ändern des an den Eingängen der Ketten angelegten ersten Potentials auf ein zweites Potential zu einem Startzeitpunkt (T0);
wiederholtes synchrones Auslesen der Ausgänge der Ketten in regelmäßigen Zeitintervallen ΔT ab dem Startzeitpunkt (T0);

für jede Kette, Bestimmen der Zahl n von Zeitintervallen ΔT , deren Ausleseergebnis das erste Potential und noch nicht das zweite Potential ergeben hat.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß das Auslesen der Ausgänge der Ketten jeweils in der Mitte eines Zeitintervalls ΔT erfolgt.

7. Verfahren nach einem der Ansprüche 5 oder 6, gekennzeichnet durch folgenden weiteren Schritt:
Berechnen des Flush Delays jeder Kette als $n \cdot \Delta T$.

8. Verfahren nach einem der Ansprüche 5 bis 7, gekennzeichnet durch folgenden weiteren Schritt:
Vergleichen der jeweils ausgelesenen Potentiale mit vorher definierten Erwartungswerten.

9. Testvorrichtung zur Messung des Flush-Delays einer Kette von Flipflops bei gemäß dem LSSD-Design gefertigten Chips,

wobei sich die Flipflops der Kette im Flush-Modus befinden,
gekennzeichnet durch

Mittel zum Initialisieren der Kette durch ein an den Eingang der Kette angelegtes erstes Potential;

Mittel zum Ändern des an Eingang der Kette anliegenden ersten Potentials auf ein zweites Potential zu einem Startzeitpunkt (T0);

Mittel zum wiederholten Auslesen des Ausgangs der Kette in regelmäßigen Zeitintervallen ΔT ab dem Startzeitpunkt;

Mittel zur Bestimmung der Zahl n von Zeitintervallen ΔT , deren Ausleseergebnis das erste Potential und noch nicht das zweite Potential ergeben hat.

10. Testvorrichtung zur Messung des Flush-Delays nach Anspruch 9, weiter gekennzeichnet durch Mittel zum Berechnen des Flush Delays als $n \cdot \Delta T$.

11. Testvorrichtung zur Messung des Flush-Delays nach einem der Ansprüche 9 oder 10, weiter gekennzeichnet durch Mittel zum Vergleichen des jeweils ausgelesenen Potentials mit einem vorher definierten Erwartungswert.

Hierzu 8 Seite(n) Zeichnungen

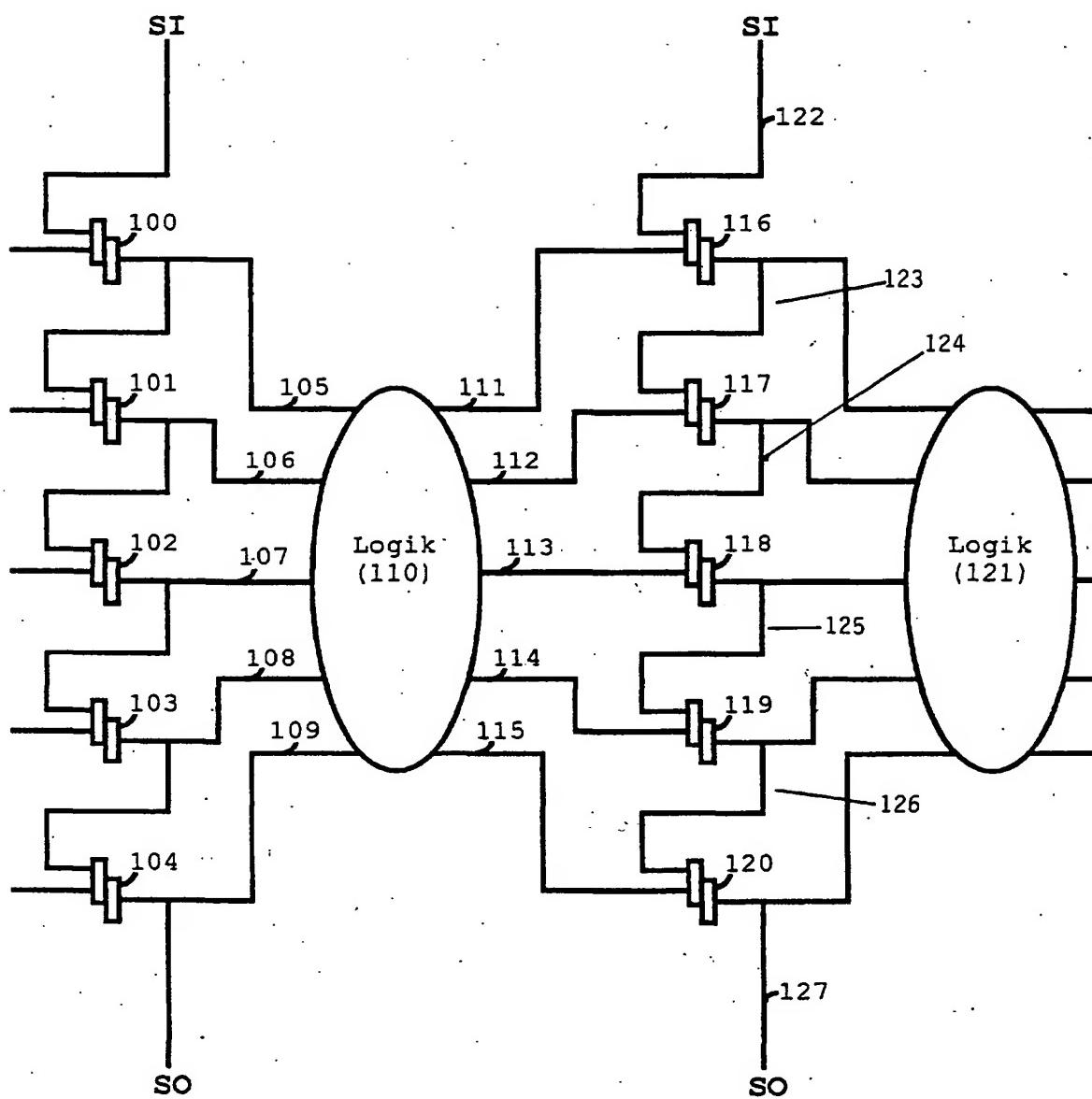


Fig. 1

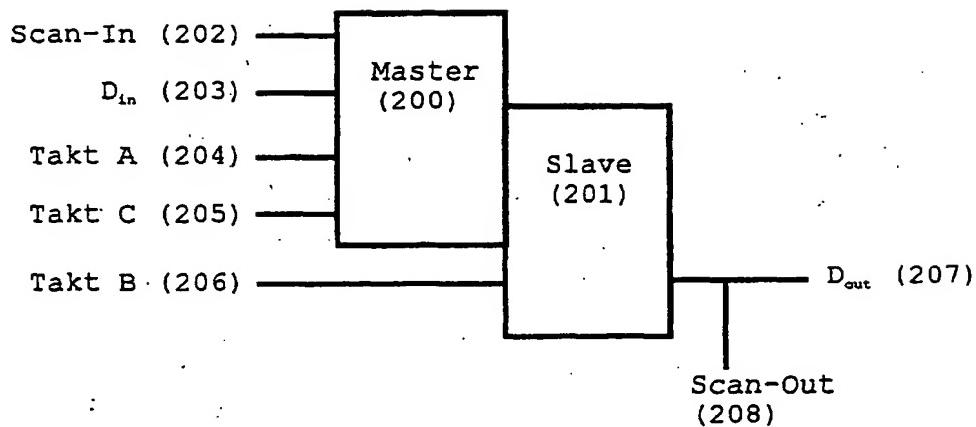


Fig. 2

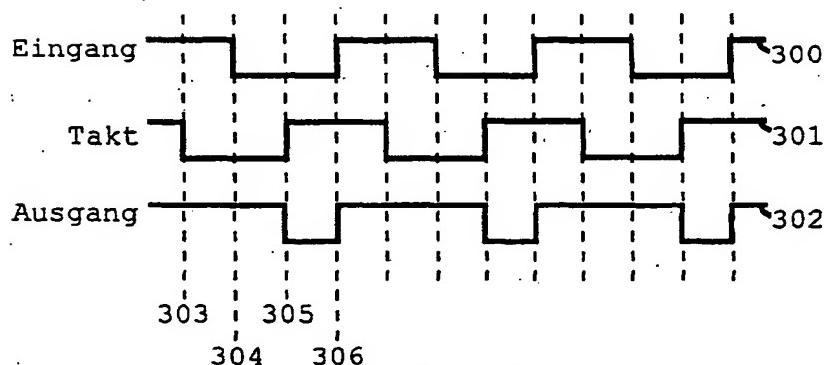
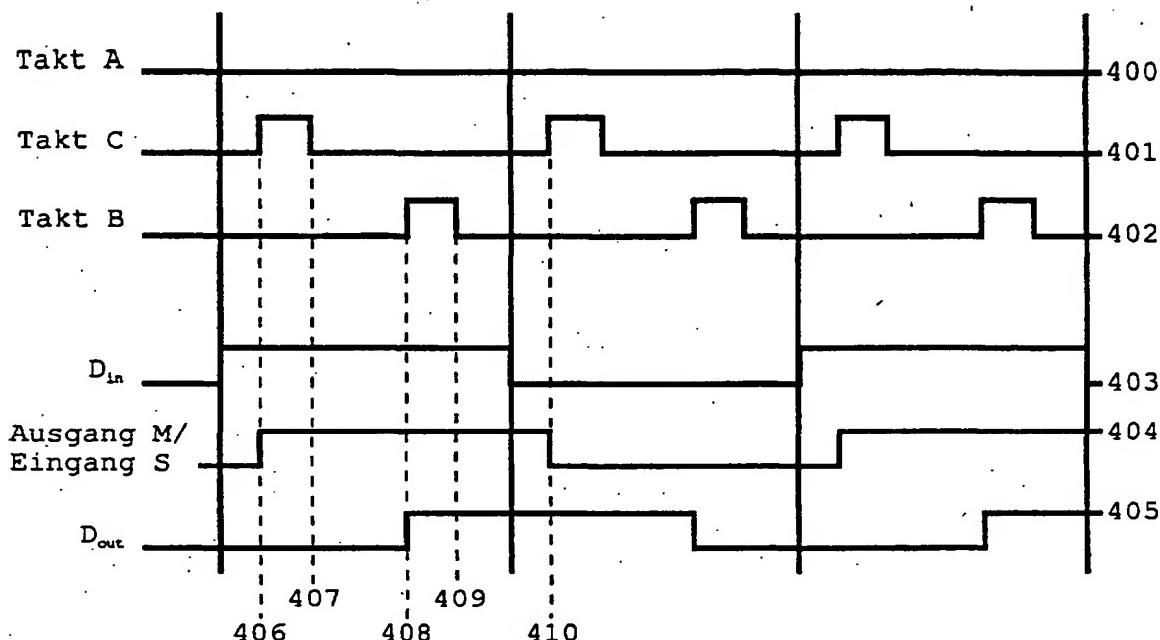
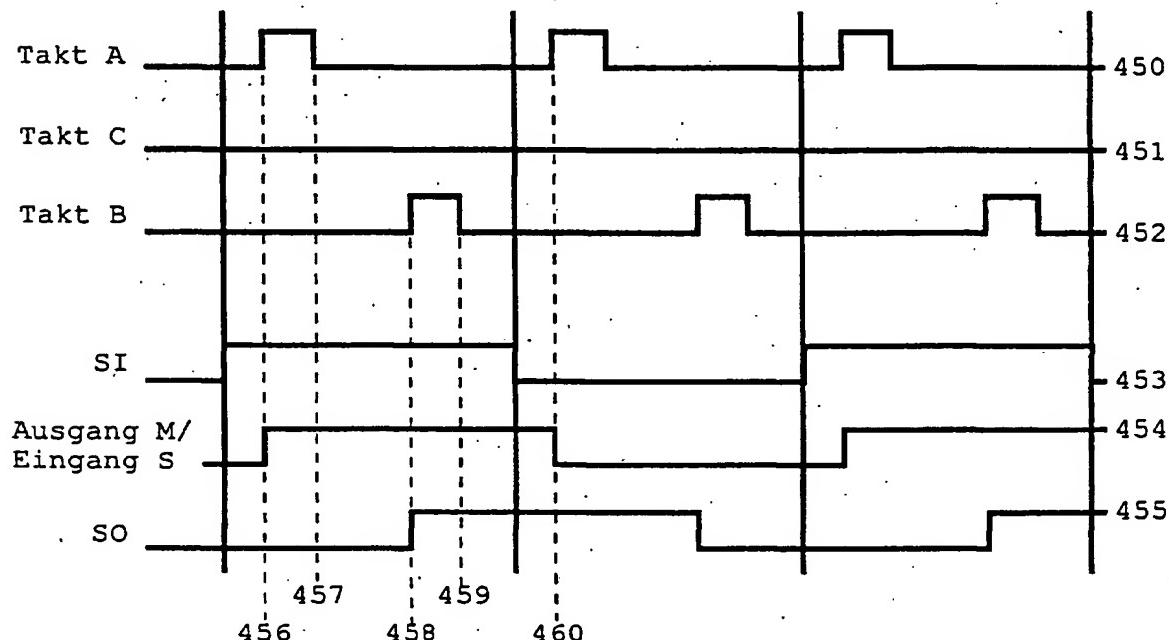
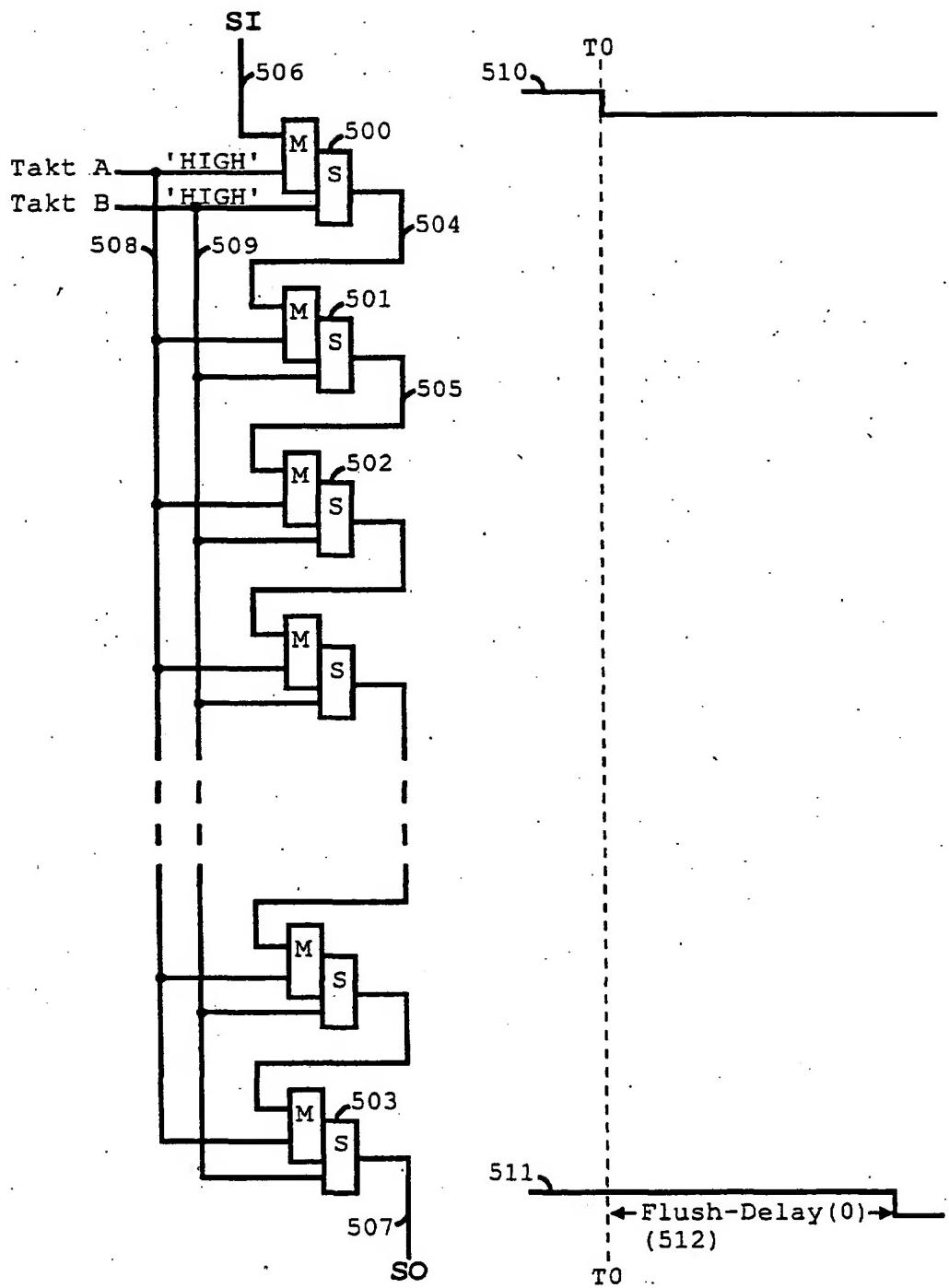


Fig. 3

System-Modus:**Fig. 4A****Scan-Modus:****Fig. 4B**



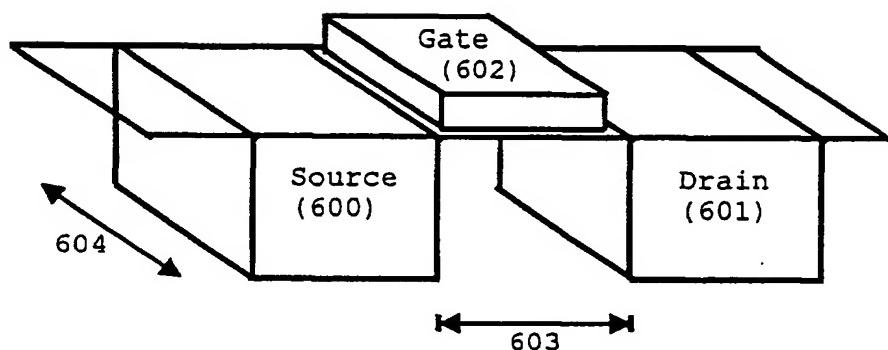


Fig. 6

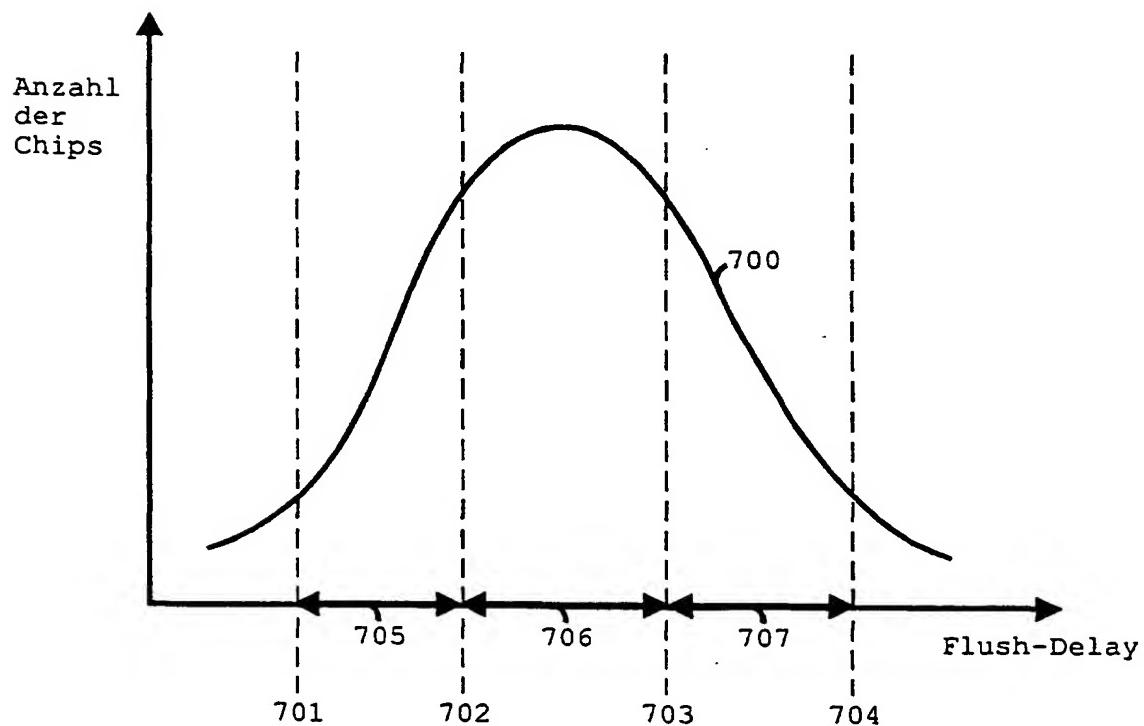


Fig. 7

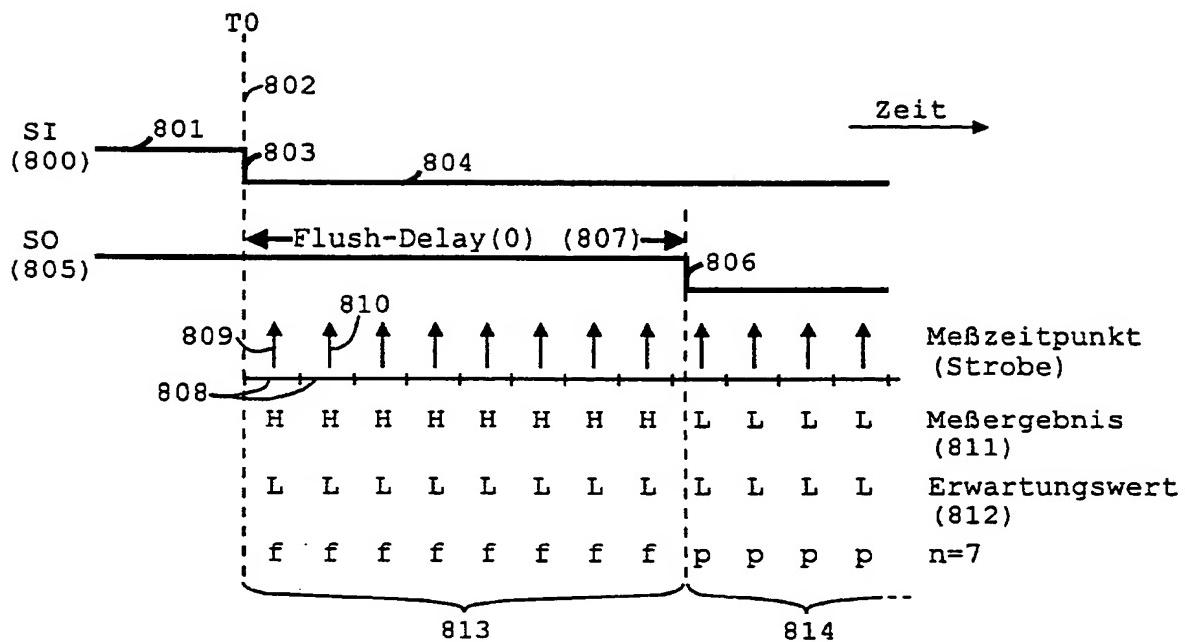
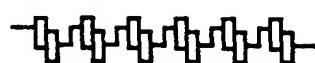


Fig. 8

Kette 1 (905):



Kette 2 (906):



Kette 3 (907):

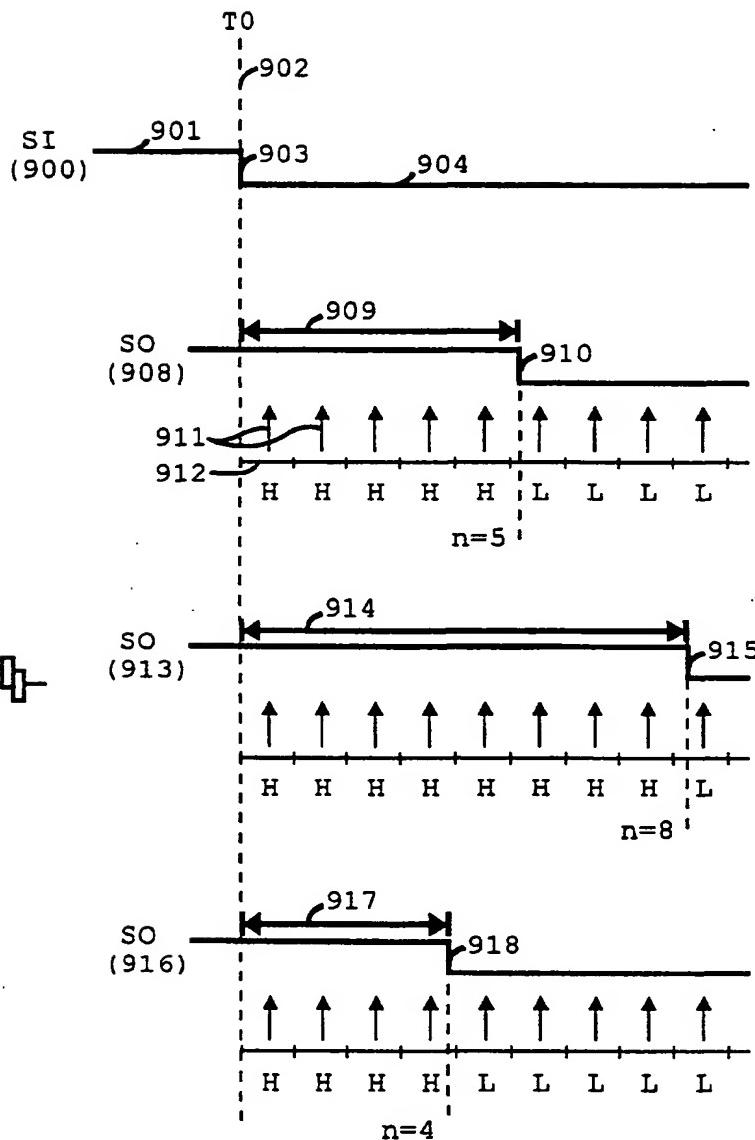


Fig. 9

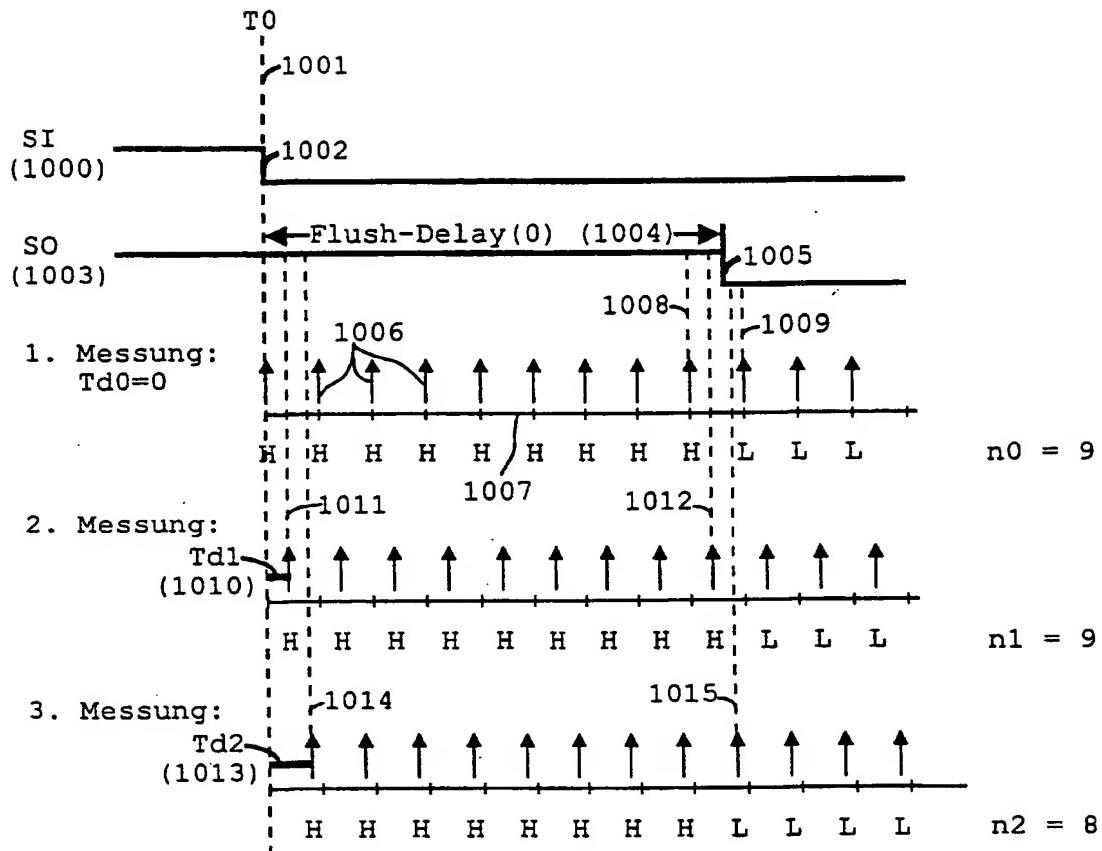


Fig. 10

Fast calculation of the flush delay on chips with LSSD design

Patent Number: EP0994361, A3
Publication date: 2000-04-19
Inventor(s): NEUHAEUSLER FRANZ (DE); APPINGER JOERG (DE); ROST PETER (DE); TORREITER OTTO (DE)
Applicant(s): IBM (US)
Requested Patent: DE19845409
Application Number: EP19990117109 19990828
Priority Number(s): DE19981045409 19981002
IPC Classification: G01R31/3185
EC Classification: G01R31/3185S11D, G01R31/30D, G01R31/3193T
Equivalents:
Cited Documents: US5796751; EP0366553

Abstract

A new-style method of measuring the flush delay on chips in LSSD design is described. The flush delay is a measurement variable for the switching speed of a chip. First the clock inputs of all flip-flops of a scan path are activated in order to switch the flip-flops to continuity. Then a signal edge is applied to the scan input which appears with a time delay at the scan output of the flip-flop chain. From the time at which the signal edge is applied to the scan input, the scan output is scanned at periodic intervals. The measurements obtained are compared against a pre-set expected value; all measurement values deviating from the expected value are counted. The flush delay is produced by multiplying the number of deviating measurement values by the measurement period. In contrast to previous measurement methods, in the method presented here a single measurement is sufficient to determine the flush delay. It is also possible to measure the flush delays of several scan paths in parallel.

Data supplied from the esp@cenet database - I2

:ОИ ТЕПОСВ
:СИДАЛ-2
:СИАЛИГА
.А СИДС'СЕДГЕРДА.
0848 08 .09
2000 АДИОД, 0001000
052-11103 (020) 227

DOCKET NO: P2002, 0856

SERIAL NO: _____

APPLICANT: Martin Perner

LERNER AND GREENBERG P.A.

P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100